

CLIPPEDIMAGE= JP402150053A  
PAT-NO: JP402150053A  
DOCUMENT-IDENTIFIER: JP 02150053 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 8, 1990

INVENTOR-INFORMATION:  
NAME  
HAYAMA, MASAhide

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY  
N/A

APPL-NO: JP63305016  
APPL-DATE: November 30, 1988

INT-CL (IPC): H01L023/50; H05K001/18  
US-CL-CURRENT: 257/730

ABSTRACT:

PURPOSE: To eliminate the front and rear of a package and to increase the degree of freedom on mounting by reducing in thickness the package as thin as possible, and disposing the side face of the package in a planar state to form it in vertically symmetrical shape.

CONSTITUTION: Leads 12 are arranged in a planar state along the surface on the side face of a package 11. The shape of the leads is employed to form them in a vertically symmetrical shape, and it can be mounted planarly in an inverted state. When a socket is used, packages 30 can be connected in parallel in the socket 32. Thus, circuits of various types of combinations can be obtained by considering pin dispositions of a power source and a signal line.

COPYRIGHT: (C)1990, JPO&Japio

⑬ Int. Cl.<sup>3</sup>H 01 L 23/50  
H 05 K 1/18

識別記号

R  
H  
U

庁内整理番号

7735-5F  
6736-5E  
6736-5E

⑭ 公開 平成2年(1990)6月8日

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-305016

⑰ 出 願 昭63(1988)11月30日

⑱ 発 明 者 羽 山 雅 英 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 熊谷 雄太郎

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

側面部のみに平面上のリードを配列した半導体装置。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、半導体装置に関し、特に、半導体装置を実装する際の自由度を大きくしたパッケージおよびリードの形状に関する。

## 従来の技術

従来、集積回路で用いられるパッケージは、第3図の(a)、(b)に代表される様な形状であり、それぞれ実装の際には直接はんだ付け、あるいはソケットを用いている。またパッケージにはピン配置の関係から使用する向きが限られている。

## 発明が解決しようとする課題

上述した従来の半導体装置は、リードの向きが一方方向であるので、実装の際の自由度が小さい。

特に、プリント配線の際には、ピン配置の関係から配線が長くなったり、ジャンパ線を必要とすることもしばしばあり、回路の小型化・高密度化をはかる場合には大きな制約を受けるという欠点がある。

本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記欠点を解消し、回路の小型化・高密度化及びプリント配線等の配線の効率化を計ることを可能とした新規な半導体装置を提供することにある。

## 発明の従来技術に対する相違点

上述した従来の半導体装置のパッケージおよびリードの形状に対し、本発明は、その形状を変え、パッケージの裏面を無くし、実装の際の自由度が大きいという相違点を有する。

## 課題を解決するための手段

前記目的を達成する為に、本発明に係る半導体装置は、パッケージを可能なかぎり薄くし、リードをパッケージの側面に平面状に配置することで

上下対称形とし、パッケージの表裏の区別を無くしている。

#### 実施例

次に本発明をその好ましい各実施例について図面を参照して具体的に説明する。

第1図(a)および(b)は本発明による第1の実施例を示す平面図および側面図である。

第1図(a)、(b)を参照するに、第3図に示された従来のパッケージおよびリード形状を比較すると、本発明はリードが側面に沿って平面状に配列されている点の特徴である。

第1図(a)は従来のDIP型に対応し、第1図(b)は従来のHFP型に対応している。

第1図(a)において、参照番号11はパッケージを示し、該パッケージ11の側面にはリード12が面に沿って平面状に配列されている。

次に第1図(b)を参照するに、パッケージ21の側面にはリード22が面に沿って平面状に配列されている。

第2図(a)、(b)は本発明に係るパッケージの

ソケットを使用した使用例を示す正面図である。

これらのリード形状を用いることで上下対称形となり、裏がえした状態での平面実装を可能としている。

第2図(a)、(b)は本発明による第2の実施例を示す平面図および側面図である。第1図に示した第1の実施例では主に本発明の半導体装置をプリント基板等へ直接はんだ付けによる実装を対象としたものだが、第2の実施例ではソケットを用いた場合である。

第2図(a)、(b)において、30はパッケージ、31、32はソケットをそれぞれ示す。

基本的にはDIPあるいはHFPのソケットと相造的に同等であるが、本発明の半導体装置はリードが平面状に相成されているために、第2図(b)に示すようにパッケージ30同士をソケット32の中で平行に接続することが可能となる。これにより電源や信号線のピン配置を考慮すれば各種組合せによる回路を得ることができるという利点がある。

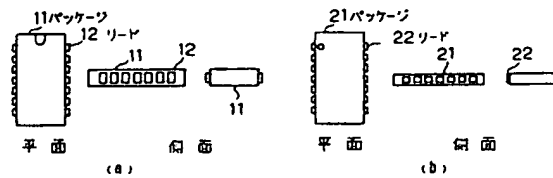
#### 発明の効果

以上説明したように、本発明によれば、パッケージおよびリードの形状を変え、半導体装置の実装時の自由度を増すことができ、特に裏がえした状態での実装を可能としたことは、プリント基板等の配線の効率化がはかれるという効果が得られる。

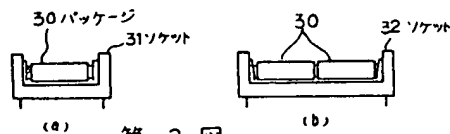
#### 4. 図面の簡単な説明

第1図(a)は本発明による第1の実施例のDIP型装置の平面および側面図、第1図(b)は本発明による第1の実施例のHFP型装置の平面および側面図、第2図(a)、(b)は本発明による第2の実施例のソケット装置における側面図、第3図(a)、(b)はそれぞれ従来型のDIP型およびHFP型の平面および側面図である。

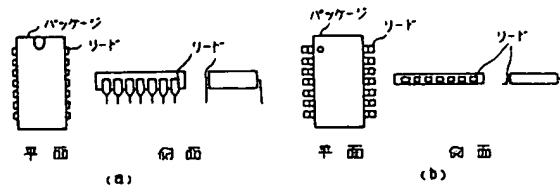
11、21、30...パッケージ、12、22...リード、31、32...ソケット



第1図



第2図



第3図

特許出願人 日本電気株式会社

代理人 弁理士熊谷雄太郎